

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 06187129

(43)Date of publication of application: 08.07.1994

(51)Int.Cl.

G06F 7/50
G06F 7/52
G11C 11/41
G11C 11/417
H03K 19/20

(21)Application number: 04339981

(71)Applicant:

HITACHI LTD
HITACHI DEVICE ENG CO LTD

(22)Date of filing: 21.12.1992

(72)Inventor:

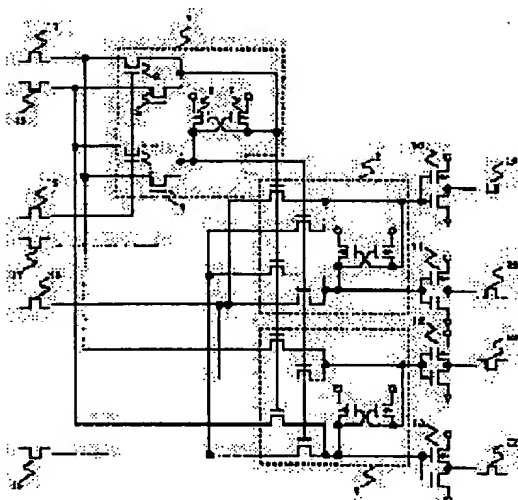
SUMI SHIGEO
MATSUURA TATSUJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device integrated with logic circuits such as full adders, operating at high speed and having small circuit scale by providing a function for outputting the complementary sum signal and the complementary product signal for three pairs of complementary inputs while using plural specified circuits.

CONSTITUTION: The full adder circuit is constituted by providing a logic generation part composed of the four elements of NMOS transistors 2-5 and a latch circuit composed of the two elements of PMOS transistors 6 and 7 as a basic circuit, arranging three pairs of basic circuits 1, 8 and 9 and using inverters 10-13 as driver circuits at signal output parts. As to three pairs of complementary inputs of input signals 14 and 15, input signals 16 and 17 and input signals 18 and 19, two pairs of complementary outputs of output sum signals 20 and 21 and output carry signals 22 and 23 are provided. This circuit is accelerated by 14% on the condition of a power supply voltage of 1.2V, and the number of transistors can be decreased by 12 pieces. Thus, the signal processing circuit can be accelerated and reduced in a chip area.



TRANSLATION OF RELEVANT PORTION

IN JAPANESE PATENT LAID-OPEN (KOKAI) No. HEI 6-187129

[Scope of Claim for a Patent]

[Claim 1] A semiconductor device having a first output terminal to which connected are drain of a first NMOS transistor, drain of a second NMOS transistor, drain of a third PMOS transistor and a gate of a fourth PMOS transistor, and a second output terminal to which connected are drain of a fifth NMOS transistor, drain of a sixth NMOS transistor, a gate of the third PMOS transistor and drain of the fourth PMOS transistor, each of the first, second, fifth and sixth NMOS transistors being supplied with a signal at the sources or gates thereof, the third and the fourth PMOS transistors being connected at source thereof with a high voltage power supply, the first output terminal and the second output terminal has a circuit arrangement arranged to generate outputs complementary to each other, the semiconductor device characterized in that the semiconductor device employs a plurality of the circuit arrangements, whereby the semiconductor device is provided with a function for generating a complementary sum signal and a complementary product signal for three pairs of complementary inputs.

[Claim 2] The semiconductor device according to claim 1, wherein the semiconductor device employs a plurality of circuit arrangements, whereby the semiconductor device is provided with a function for generating a complementary sum signal for

three pairs of complementary inputs and a complementary sum signal and a complementary product signal for two pairs of complementary inputs, under the condition that the semiconductor device is supplied with three pairs of complementary inputs.

[Claim 3] The semiconductor device according to claim 1, wherein the semiconductor device employs the circuit arrangement, whereby the semiconductor device is provided with a function for generating a partial products between a Booth code resulting from a conversion for multiplication and a multiplier or a multiplicand.

[Claim 4] The semiconductor device according to claim 1, 2 or 3, wherein said circuits are combined to implement a multiplication function in the device.

[Claim 5] A semiconductor device in which a signal processing circuit is implemented by employing the circuits as claimed in claim 4.

[0009]

[Operation] If the above-described basic circuits are combined to implement the full adder circuit of the present invention shown in FIG. 1, it becomes possible to improve the operation rate by 14% and reduce the number of transistors by 32% as compared with the prior-art full adder circuit shown in FIG. 2. The operation rate introduced for comparison is a value calculated by a computer simulation. Further, since the prior-art circuit is composed of complete CMOS type

transistors, the ratio between the number of PMOS transistors and the number of NMOS transistors becomes 1:1. However, in the circuit according to the present invention shown in FIG. 1, the number of NMOS transistors are larger than the number of PMOS transistors. Thus, it is expected to decrease the area occupied by components more than decrease achieved by only the reduction in the number of transistors. This is because the NMOS transistor has a higher capability to a driving current than that of the PMOS transistor and hence a circuit of NMOS transistor can be implemented by a smaller gate width than that of a circuit of PMOS transistor.

[0010] When the full adder circuit of the present invention shown in FIG. 1 is composed of transistors of a low threshold voltage, it becomes possible to increase the operation rate dramatically. For example, an experiments reveals an improvement of the present invention. That is, the circuit of the present invention shown in FIG. 1 and the circuit of the prior art shown in FIG. 2 were subjected to evaluation for comparing respective operation delay times with each other by a computer simulation under the condition of a power source voltage of 1.2V and a threshold voltage of 0.5V. According to the result of the evaluation, it was confirmed that when the threshold voltage was changed from 0.5V to 0.2V, improvement in operation rate was achieved by 26% in the circuit of FIG. 2 while achieved by 38% in the circuit of FIG. 1. According to the result of the evaluation, it was confirmed that the circuit of the present invention shown in FIG. 1 offers

more improvement when the circuit was composed of transistors of low threshold voltage than the circuit of the prior art shown in FIG. 2 when composed of transistors of low threshold voltage.

[0011]

[Description of the preferred embodiment] Fig. 1 is a block diagram illustrating the principles of the first embodiment of the present invention and shows a full adder circuit according to the present invention. The full adder circuit is constituted by providing a logic generation part composed of four elements of NMOS transistors 2, 3, 4 and 5, and a latch circuit composed of two elements of PMOS transistors 6 and 7 as a basic circuit, arranging three pairs of the basic circuits 1, 8 and 9. The full adder circuit is also provided inverters 10, 11, 12 and 13 in a signal outputting part as a driver circuit.

[0021]

[Effect of the invention] According to the circuit arrangement of the present invention, it becomes possible to improve the operation rate of a multiplier and a signal processing circuit composed of the multiplier. Also, it becomes possible to reduce the areas occupied by chip components. For example, if a multiplier is formed of a size of 16 bits \times 16 bits, improvement was achieved in the operation rate by about 20% and at the same time the chip area reduction was achieved by 20% as compared with the prior art circuit.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-187129

(43)公開日 平成6年(1994)7月8日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
G 0 6 F 7/50	A	9291-5B		
7/52	3 1 0 F	9291-5B		
G 1 1 C 11/41		6741-5L	G 1 1 C 11/ 34	U
		6741-5L		3 0 5

審査請求 未請求 請求項の数5(全 10 頁) 最終頁に続く

(21)出願番号 特願平4-339981

(22)出願日 平成4年(1992)12月21日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 角 成生

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

(72)発明者 松浦 達治

東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

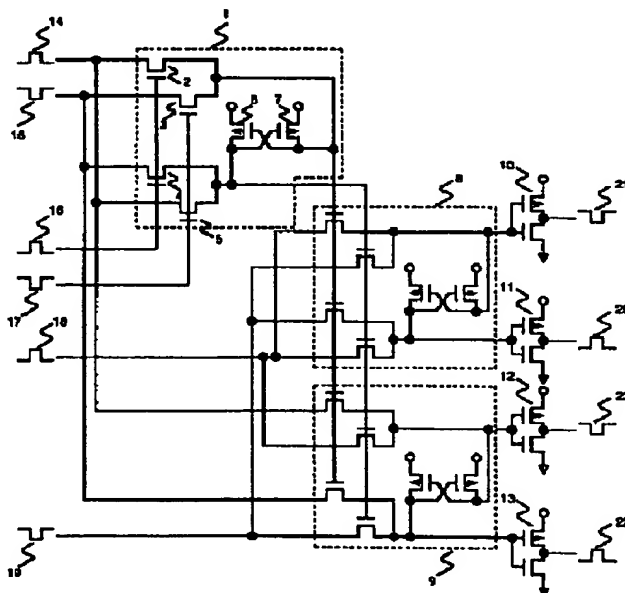
(54)【発明の名称】 半導体装置

(57)【要約】

【構成】N型MOSトランジスタ2, 3, 4, 5より成る論理生成部とP型MOSトランジスタ6, 7より成るラッチ回路を合わせた回路からなる。全加算器の場合、基本構成の回路を3組と出力ドライバとしてCMOSインバータ10, 11, 12, 13を組み合わせる。入力14と15, 16と17, 18と19それぞれ3組の相補な信号が入力され、20と21の相補な和出力と22と23の相補な積が出力される。

【効果】動作速度の向上および素子数低減の効果がある。さらに、従来の回路を低しきい値化した場合に比べ、高速化の効果がより大きい。

図1



【特許請求の範囲】

【請求項1】第1のN型MOSトランジスタのドレインと第2のN型MOSトランジスタのドレインと第3のP型MOSトランジスタのドレインと第4のP型MOSトランジスタのゲートが接続された第1の出力端子と、第5のN型MOSトランジスタのドレインと第6のN型MOSトランジスタのドレインと前記第3のP型MOSトランジスタのゲートと前記第4のP型MOSトランジスタのドレインとが接続された第2の出力端子を有し、前記第1、第2、第5、第6のN型MOSトランジスタのソースおよびゲートに信号が入力され、前記第3、第4のP型MOSトランジスタのソースが高電圧電源に接続され、前記第1の出力端子と前記第2の出力端子は相補の信号を出力する構成の回路を備えた半導体装置において、この構成の回路を複数用いることにより、3組の相補入力に対し、相補の和信号と相補の積信号を出力する機能を有することを特徴とする半導体装置。

【請求項2】請求項1において、前記構成の回路を複数用いることにより、3組の相補入力に対し、3組の相補入力に対する和信号と2組の相補入力に対する和信号および積信号を出力する機能を有する半導体装置。

【請求項3】請求項1において、前記構成の回路を用いることにより、乗算のために変換されたブースコードと乗数または被乗数との間で部分積を生成する機能を有する半導体装置。

【請求項4】請求項1、2または3において、前記回路を組み合わせることにより乗算機能をもたせる半導体装置。

【請求項5】請求項4に記載の前記回路を用いて、信号処理回路を構成した半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路に係り、特に、MOS型集積回路の高速化および高集積化に関する。

【0002】

【従来の技術】ディジタル信号処理プロセッサでは、高速な乗算器を用いてビデオ信号など高速な信号の演算処理を行っている。その乗算器を構成する主要な回路として全加算器(Full Adder)が挙げられ、高速、かつ、低消費電力化のために通常CMOS回路により構成されている。

【0003】図2に全加算器回路の一従来例を示す。全加算器回路は、3入力に対し和信号と桁上げ信号を生成する回路である。図2では、入力信号A35、入力信号B36、入力信号C37の3入力に対し3組のインバータ24、25、26と8組のクロックドインバータ27、28、29、30、31、32、33、34を用いて和信号38と桁上げ信号39を出力する。

【0004】

【発明が解決しようとする課題】ディジタル信号処理プロセッサでは、システムの処理速度向上のために、内部で使用する乗算器には高速性が要求される。これは、ディジタル信号処理プロセッサのシステムの処理速度を決定しているのが、乗算器の演算時間である場合が多いからである。さらに、乗算器を構成している各種部分回路の遅延時間を分析した場合、乗算器全体の遅延時間の中で全加算器の遅延時間が大きな割合を占めていることがわかる。例えば、乗算に使用するアルゴリズムとして2次のブースアルゴリズムを用いた乗算器の場合、演算時間全体に占める全加算器の遅延時間の割合は、約30%~50%になる。さらに、ブースアルゴリズムを用いない乗算器の場合、全加算器の遅延時間の割合は約50%~70%にもなる。このように、乗算器全体の演算時間の中で全加算器の遅延時間の占める割合が大きいため、乗算器の高速化には、全加算器の遅延時間短縮が最も効果的である。

【0005】一方、低電圧回路では、電源電圧低下による速度低下を最小限に抑える必要がある。そのため、低電圧下でも高速に動作する論理回路が要求される。さらに低電圧回路は、携帯用小型機器に搭載される場合が多いため、チップ面積の縮小も望まれる。

【0006】本発明の目的は、高速および回路規模の小さい全加算器等の論理回路を集積した半導体装置を提供することにある。

【0007】

【課題を解決するための手段】上記問題点を解決するためには、半導体装置を構成する論理回路の高速化を図り、チップ面積を低減させる必要がある。さらに、全加算器等の高速化を図るためには、全加算器を構成する個々の論理回路(NAND, NOR, EOR等)自身の高速化を図ることが重要である。

【0008】そこで、上記目的を達成するための本発明の半導体装置は、図1に示すように、N型MOSトランジスタ2、3、4、5の4素子より成る論理生成部とP型MOSトランジスタ6、7の2素子より成るラッチ回路を組み合わせることにより、高速かつ素子数の少ない論理回路を基本回路1として用いた。この基本回路1を組み合わせることにより、全加算器等の機能回路を構成する。

【0009】

【作用】上記基本回路を組み合わせる図1に示す本発明の全加算器を構成した場合、図2に示す従来の全加算器に比べ、14%の速度向上と32%のトランジスタ数の低減が図れる。ここで、比較に用いた動作速度の値は、計算機シミュレーションによる計算値である。さらに、従来回路の場合、P型MOSトランジスタ数とN型MOSトランジスタ数の比は回路が完全CMOS型であるため1:1となるが、図1に示す本発明の回路ではP型MOSトランジスタの数よりもN型MOSトランジスタの

数が多いため、トランジスタ数の低減の割合以上に素子面積の低減が可能となる。これは、P型MOSトランジスタよりもN型MOSトランジスタの方が電流駆動能力が高いため小さいゲート幅で回路を構成することができるからである。

【0010】また、図1に示す本発明の全加算器を低しきい電圧のトランジスタで構成した場合、大幅な速度向上が可能である。例えば、図1に示す本発明の回路と図2に示す従来の回路を、電源電圧1.2Vにおいて、しきい電圧0.5Vの場合と0.2Vの場合について計算機シミュレーションによる動作遅延時間の評価を行った。その結果、しきい電圧を0.5Vから0.2Vに変えた場合、図2の回路では26%の速度向上が見られ、図1の回路では38%の速度向上が見られた。この結果より、図1に示す本発明の回路に低しきい電圧のトランジスタを用いることにより、図2に示す従来回路に低しきい電圧のトランジスタを用いた場合に比べ高速化の効果が大きい。

【0011】

【実施例】本発明の第1の実施例を図1に示す。図1は、本発明の回路構成による全加算器回路である。図1では、N型MOSトランジスタ2, 3, 4, 5の4素子より成る論理生成部とP型MOSトランジスタ6, 7の2素子より成るラッチ回路を基本回路とし、3組の基本回路1, 8, 9を配置し、信号出力部にドライバ回路としてインバータ10, 11, 12, 13を用いた構成になっている。

【0012】ここで、全加算器の機能を簡単に説明すると、全加算器の機能は、3入力の信号に対し、和信号Sumと桁上げ信号Carryを生成する回路である。入力信号をA, B, Cとすると全加算器の和信号Sumは、入力A, B, CのEORとなる。また、桁上げ信号Carryは、入力AとBのAND, AとCのAND, BとCのANDを求め、その3出力のORとなる。しかし、図1の回路では、それぞれ正論理および負論理の信号を入出力するため、入力は入力信号A14, 入力信号Aの反転信号15, 入力信号B16, 入力信号Bの反転信号17, 入力信号C18, 入力信号Cの反転信号19の6入力となり、出力は和信号20, 和信号の反転信号21, 桁上げ信号22, 桁上げ信号の反転信号23の4出力となる。

【0013】図1に示す本発明の回路は、図2に示す従来回路に比較し電源電圧1.2Vの条件で14%高速である。また、図2に示す従来回路に比較しトランジスタ数を12個減らすことができる。このように、本発明の全加算器は、従来回路に比べ高速かつ素子数が少ないという特長がある。

【0014】本発明の第2の実施例を図3に示す。図3は、図1に示す全加算器と同様に基本回路を用いて構成したキャリー先見用全加算器である。キャリー先見用全加算器とは、全加算器の機能とキャリー先見回路用の制

御信号を生成する機能を備えた回路である。キャリー先見用全加算器は、主に乗算器内部の加算アレー最終段に用いられる。

【0015】本回路は、3入力に対し3入力の和信号、2入力の和信号および2入力の積信号を生成する機能を持つ。ここで、入力をA, B, C、3入力の和をS、2入力A, Bの和をP、2入力A, Bの積をGとすると、出力信号Sは、入力A, B, CのEOR、出力信号Pは、入力A, BのEOR、出力信号Gは、入力A, BのANDとなる。しかし、図3に示すキャリー先見用全加算器は、正論理および負論理の信号を入力し、正論理のみを出力する構成であるため、入力は、入力信号A43, 入力信号Aの反転信号44, 入力信号B45, 入力信号Bの反転信号46, 入力信号C47, 入力信号Cの反転信号48の6入力となり、基本回路40, 41により生成した出力信号S49, 基本回路40により生成した出力信号P50, 基本回路42により生成した出力信号G51の3出力となる。図3に示すキャリー先見用全加算器では、従来の回路に比較し、電源電圧1.2Vの条件において34%高速化できる。また、従来回路に比較しトランジスタ数を8個削減できるため、チップ面積の縮小に有効である。

【0016】本発明の第3の実施例を図4に示す。図4は、図1に示す全加算器に使用した基本回路を用いて構成したブースデコーダ回路である。ブースデコーダ回路とは、ブースのアルゴリズムを用いる乗算器において、ブースコードと乗数または被乗数との間において部分積を生成する回路である。ブースコードとは、乗算器に入力される乗数または被乗数を、ブースのアルゴリズムに従い演算用に変換した数値である。

【0017】図4に示す回路は、2次のブースアルゴリズムを用いた場合の乗算器に使用できる回路構成となっている。図4の回路について説明すると、入力は、入力信号A53, 入力信号B54, 入力信号C55, 入力信号D56, 入力信号E57, 入力信号Eの反転信号58の6入力となり、出力は、出力信号59と出力信号の反転信号60の2出力となる。この回路では、本発明の基本回路を用いることにより電源電圧1.2Vの条件で、従来回路に比較して13%高速である。

【0018】本発明の第4の実施例を図5に示す。図5は、図1に示す全加算器71, 72, 73, 74、図3に示すキャリー先見用全加算器75, 76、図4に示すブースデコーダ回路67, 68, 69, 70の本発明の回路およびブースエンコーダ65, 66、キャリー先見回路77を備えた乗算器61である。ここで、乗算器61の動作を簡単に説明すると、乗数Y62が入力されるとブースエンコーダ65, 66により乗数Y62の値がブースコードに変換される。次に、変換されたブースコードと被乗数X63の2数がブースデコーダ67, 68, 69, 70に入力され部分積が計算される。計算さ

れた部分積が全加算器71, 72, 73, 74およびキャリー先見用全加算器75, 76により加算され乗算出力Z64が出力される。キャリー先見回路77は、加算を高速化するための回路である。これらの本発明による回路を用いて乗算器を構成することにより、従来の回路を用いて構成した乗算器に比較し約20%高速化できる。また、乗算器の主要部分を構成する全加算器としてトランジスタ数の少ない本発明の回路を用いるため、乗算器全体のチップ面積も約20%減少させることができる。

【0019】本発明の第5の実施例を図6に示す。図6では、図5に示す乗算器81および加算器82, 83, 遅延回路84, 85, メモリ86, 制御回路87, 内部信号線88を備えた信号処理回路78である。ここで、信号処理回路78の動作を簡単に説明すると、入力信号79が入力されると、メモリ86からの出力信号との間で、乗算器81, 加算器82, 83および遅延回路84, 85により積和演算処理が行われ、出力信号80が出力される。メモリ86には、乗算器への入力信号が格納されている。また、制御回路87は、信号処理回路内の乗算器81, 加算器82, 83等への制御信号を生成し、内部信号線88を介して各機能ブロックへ信号を転送している。

【0020】信号処理回路78の内部演算回路として図5に示す乗算器81を用いることにより、高速かつチップ面積の小さい信号処理回路78を構成することができる。例えば、信号処理回路78の処理時間を決定している要因が乗算器である場合、図5に示す構成の乗算器81を用いることにより乗算時間の短縮が図れるため、信号処理回路78全体の動作速度を高速化できる。また、チップ面積低減の要求が強い場合でも、図5の乗算器を

用いて図6に示す信号処理回路78を小規模化できる。特に、低電圧電源を使用する携帯用小型機器用の信号処理回路は、低電圧時での高速性とチップ面積の縮小が望まれるため、図6に示す信号処理回路が有効である。

【0021】

【発明の効果】本発明の回路構成を用いることにより、乗算器および乗算器を用いて構成した信号処理回路の高速化およびチップ面積の縮小を図る効果がある。例えば、16ビット×16ビットの乗算器を構成した場合従来回路に比較し約20%の高速化と同時に20%のチップ面積の縮小が図れる。

【図面の簡単な説明】

【図1】本発明による半導体装置の第1の実施例を示す回路図。

【図2】従来の全加算器の回路構成を示す回路図。

【図3】本発明による半導体装置の第2の実施例を示す回路図。

【図4】本発明による半導体装置の第3の実施例を示す回路図。

20 【図5】本発明による半導体装置の第4の実施例を示すブロック図。

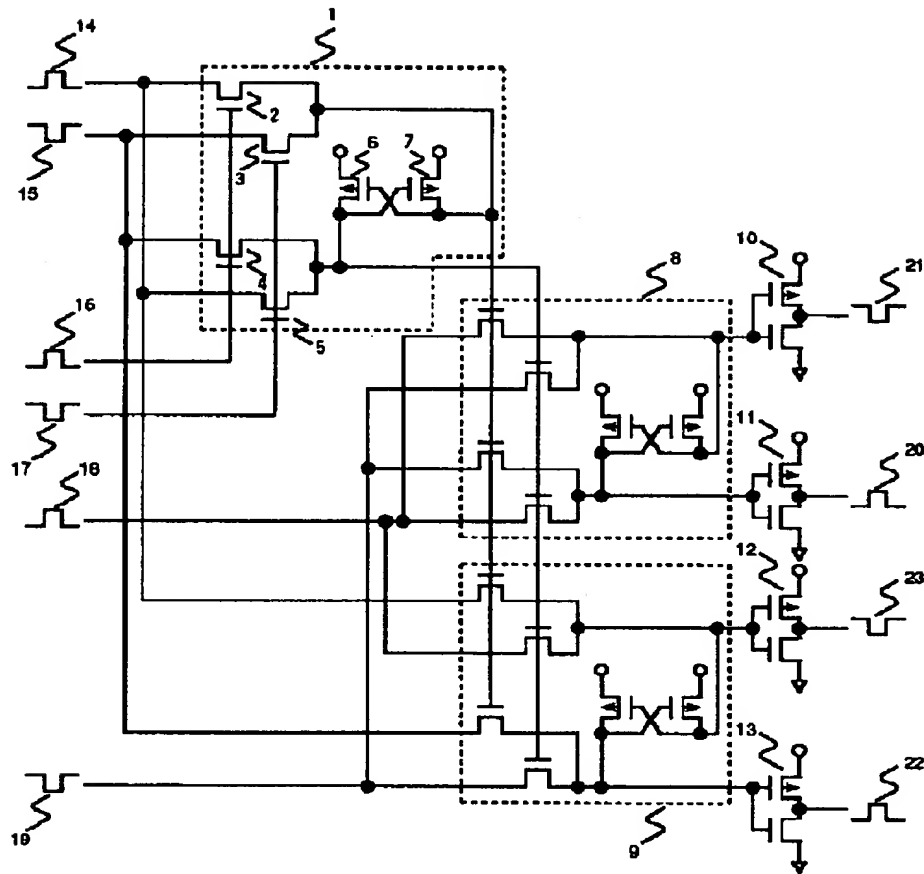
【図6】本発明による半導体装置の第5の実施例を示すブロック図。

【符号の説明】

1…基本回路、2, 3, 4, 5…N型MOSトランジスタ、6, 7…P型MOSトランジスタ、8, 9…基本回路、10, 11, 12, 13…インバータ、14, 16, 18…入力信号、15, 17, 19…入力信号の反転信号、20…和信号、21…和信号の反転信号、22
30 …桁上げ信号、23…桁上げ信号の反転信号。

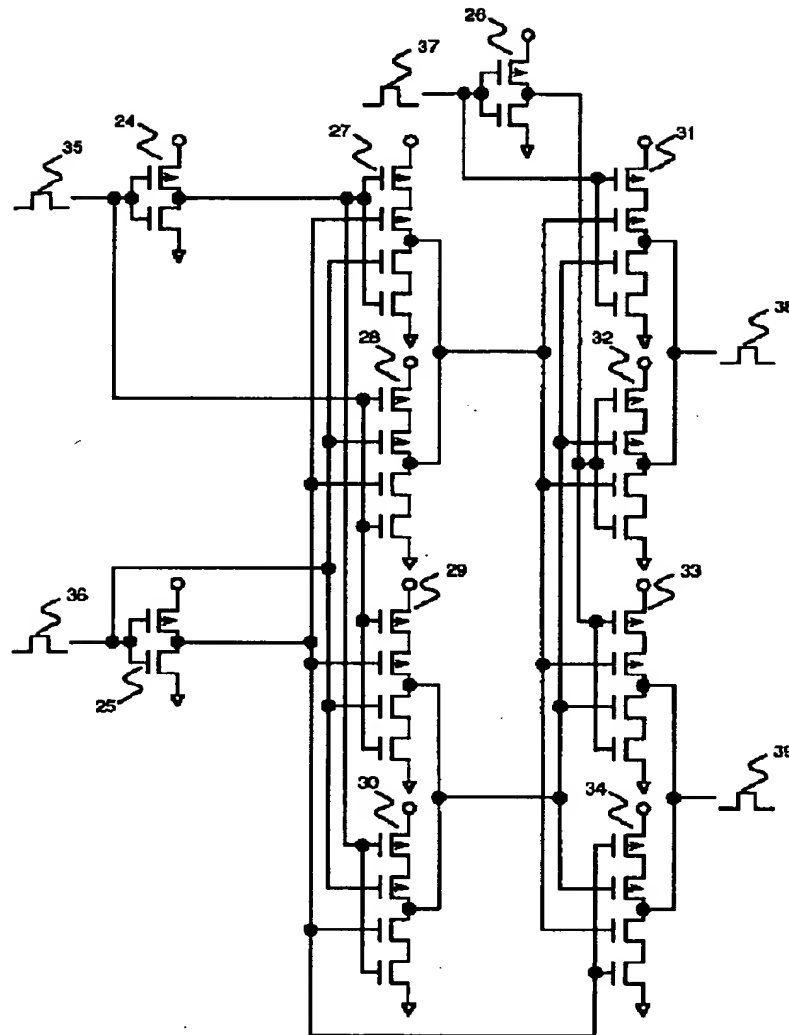
【図1】

図1



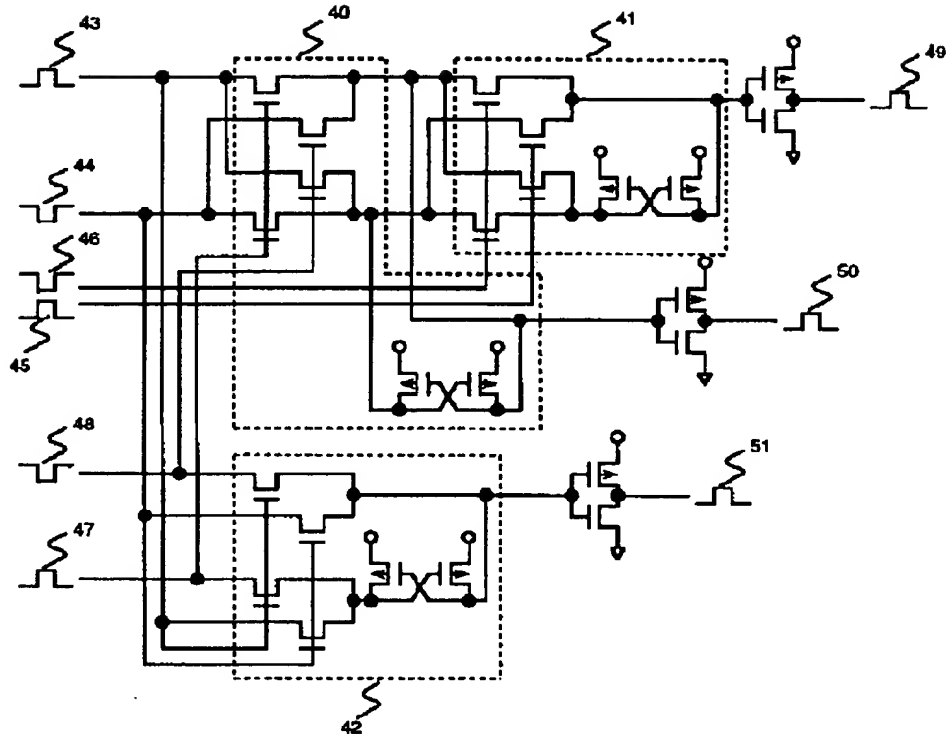
【図2】

図2



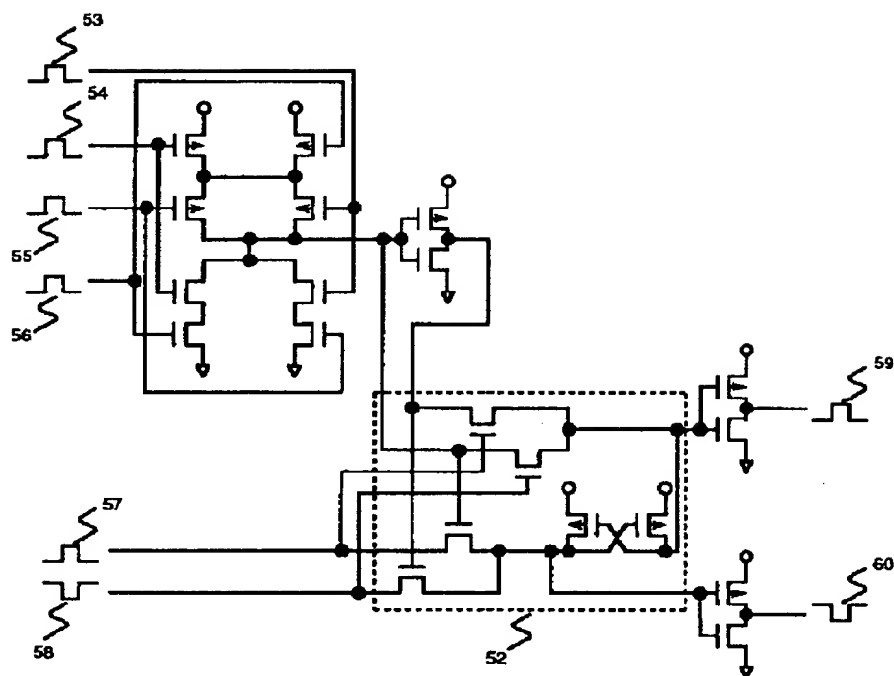
【図3】

図3



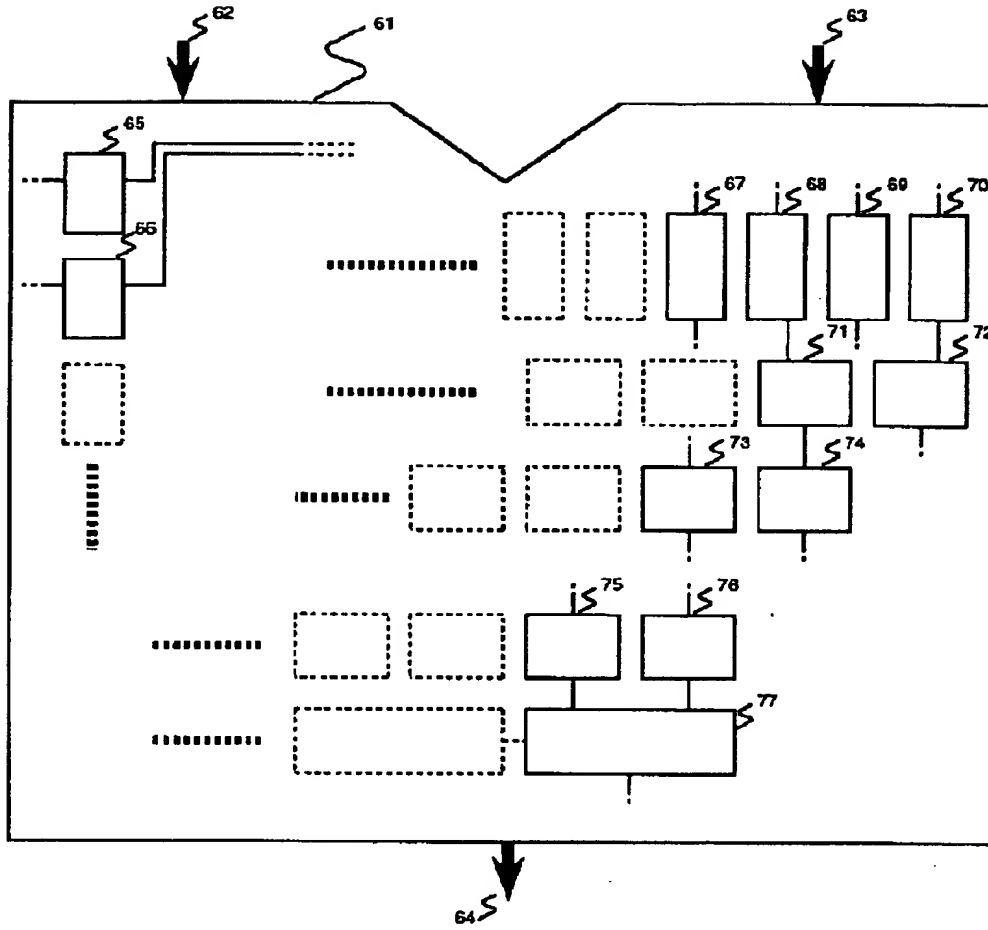
【図4】

図4



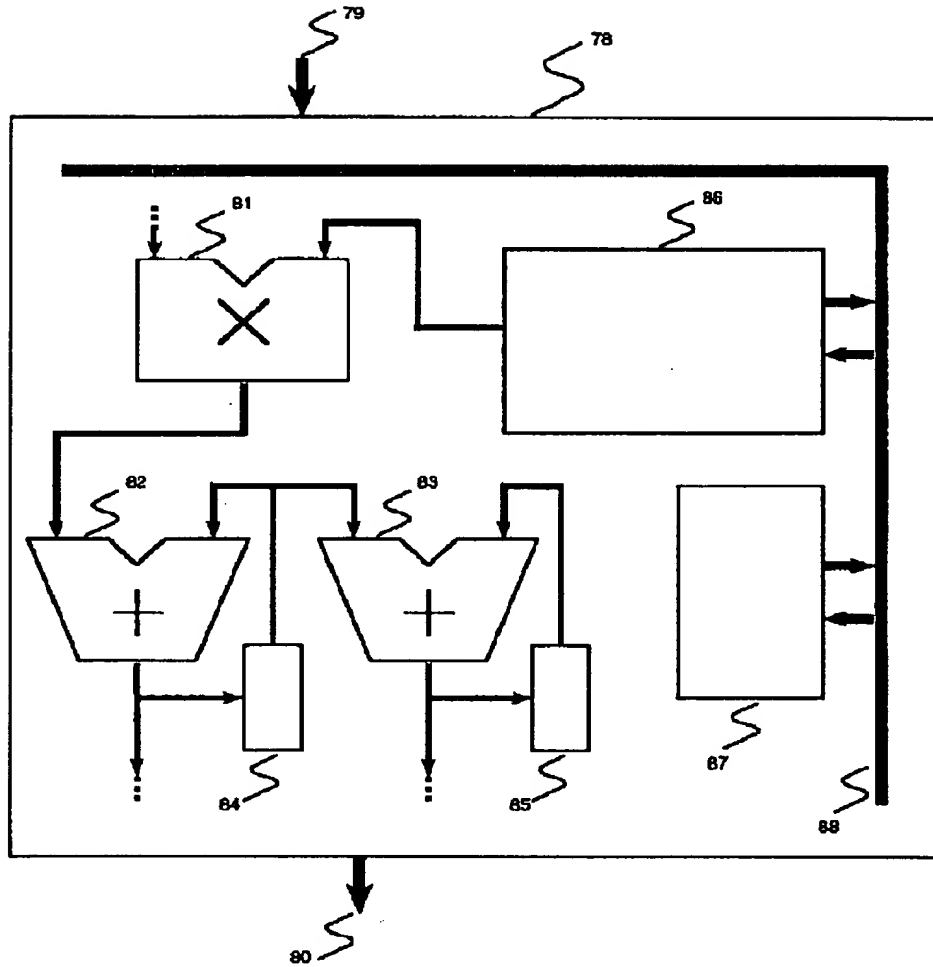
【図5】

図5



【図6】

図 6



フロントページの続き

(51) Int. Cl. ⁵

G 1 1 C 11/417

H 0 3 K 19/20

識別記号

庁内整理番号

F I

技術表示箇所

9383-5 J

6741-5 L

G 1 1 C 11/34

3 4 5